

PAT-NO: JP410040144A
DOCUMENT-IDENTIFIER: JP 10040144 A
TITLE: METHOD FOR ESTIMATING POWER CONSUMPTION FOR MICROPROCESSOR
PUBN-DATE: February 13, 1998

INVENTOR-INFORMATION:

NAME COUNTRY
KAGESHIMA, ATSUSHI

ASSIGNEE-INFORMATION:

NAME COUNTRY
TOSHIBA CORP N/A

APPL-NO: JP08190456
APPL-DATE: July 19, 1996

INT-CL (IPC): G06F011/34 , G06F001/28 , G06F009/38 , G06F012/08

ABSTRACT:

PROBLEM TO BE SOLVED: To easily generate an instruction file to be used for the estimation of power consumption, and to easily estimate the power consumption of each instruction by calculating the power consumption of one instruction at the instruction cache miss and at the instruction cache hit from the power consumption in a prescribed cycle.

SOLUTION: An objective instruction for estimating power consumption is executed according to the flow of a pipe line by a microprocessor 3 equipped with an instruction cache 1 inside and a main memory 2 outside. An instruction file for the simulation of the power consumption comprises one file for repeatedly executing plural continuous objective instructions by a jump instruction. Then, a power consumption estimated value in the case of reading one instruction from the instruction cache 1 and executing it, and a power consumption estimated value at the item of reading one instruction from the main memory 2 and executing it are calculated, based on the power consumption in each prescribed cycle at the first round of execution of an instruction group.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-40144

(43)公開日 平成10年(1998)2月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/34			G 0 6 F 11/34	S
1/28			9/38	3 8 0 X
9/38	3 8 0	7623-5B	12/08	S
12/08			1/00	3 3 3 Z

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平8-190456

(22)出願日 平成8年(1996)7月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 影島 淳

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

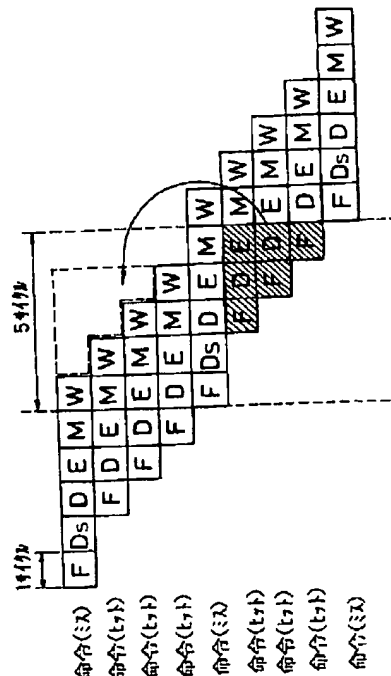
(74)代理人 弁理士 三好 秀和 (外3名)

(54)【発明の名称】 マイクロプロセッサの消費電力見積もり方法

(57)【要約】

【課題】 この発明は、消費電力の見積もりに使用される命令ファイルが簡単で容易に作成できるマイクロプロセッサの消費電力見積もり方法を提供することを課題とする。

【解決手段】 この発明は、メインメモリ2又は命令キャッシュ1から命令を読み込んで実行処理するマイクロプロセッサ3、4において、消費電力を見積もる一命令を1回又は複数回連続して実行する命令群を繰り返して実行し、所定のサイクルの消費電力から命令キャッシュミス時と命令キャッシュヒット時の一命令の消費電力を求めるように構成される。



【特許請求の範囲】

【請求項1】 主記憶又は命令キャッシュから命令を読み出してパイプライン処理により実行するマイクロプロセッサにおいて、

消費電力を見積もる一命令を複数連続して実行する命令群を少なくとも2巡繰り返して実行し、

前記命令群の1巡目ならびに2巡目のそれぞれの繰り返し実行時における所定のサイクル範囲内において、前記マイクロプロセッサの1サイクル毎の消費電力を求め、前記命令群の1巡目の実行時における所定のサイクル範囲内において、前記1サイクル毎の消費電力を所定のサイクル数加算して所定のサイクル数の消費電力を求め、前記命令群の1巡目の実行時における前記所定のサイクル数の消費電力ならびに前記命令群の2巡目の実行時における1サイクル毎の消費電力に基づいて、前記命令キャッシュから前記一命令を読み出して実行される場合（キャッシュヒット時）の消費電力見積もり値と、前記主記憶から前記一命令を読み出して実行する場合（キャッシュミス時）の消費電力見積もり値を求めることを特徴とするマイクロプロセッサの消費電力見積もり方法。

【請求項2】 前記キャッシュヒット時の一命令当たりの消費電力見積もり値（Ph）は、前記命令群の繰り返しにおける2巡目の繰り返しの所定の1サイクルの消費電力値とし、

前記キャッシュミス時の一命令当たりの消費電力見積もり値（Pm）は、パイプラインの段数をPとし、キャッシュミス時に前記主記憶から同時に前記命令キャッシュに転送されて保持される命令数をIとし、同時に前記命令キャッシュに転送されて保持される命令I個を実行する時に発生するすべてのストール数をNとすると、 $Pm = \{1 \text{巡目の}(P+1) \text{サイクル目から}(I+N) \text{サイクルの消費電力の和} - \{(I-1) \times Ph\}$ として求めることを特徴とする請求項1記載のマイクロプロセッサの消費電力見積もり方法。

【請求項3】 主記憶又は命令キャッシュから命令を読み出して実行するマイクロプロセッサにおいて、消費電力を見積もる一命令を少なくとも2回繰り返して実行し、

前記一命令の1回目ならびに2回目の実行時における所定のサイクル範囲内において、前記マイクロプロセッサの1サイクル毎の消費電力を求め、

前記一命令の1回目の実行時における所定のサイクル範囲内において、前記1サイクル毎の消費電力を所定のサイクル数加算して所定のサイクル数の消費電力を求め、

前記一命令の1回目の実行時における前記所定のサイクル数の消費電力ならびに前記一命令の2回目の実行時における1サイクル毎の消費電力に基づいて、前記命令キャッシュから前記一命令を読み出して実行される場合（キャッシュヒット時）の消費電力見積もり値と、前記主記憶から前記一命令を読み出して実行する場合（キャ

ッシュミス時）の消費電力見積もり値を求めることを特徴とするマイクロプロセッサの消費電力見積もり方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、主記憶又は命令キャッシュから読み出されて実行される命令毎の消費電力を見積もるマイクロプロセッサの消費電力見積もり方法に関する。

【0002】

10 【従来の技術】近年、コンピュータ技術ならびに半導体集積回路の飛躍的な発展により、電子機器、特にパーソナルコンピュータの小型化ならびに携帯化が進んでいる。このような傾向において、マイクロプロセッサの処理スピードの向上とともに低消費電力化が極めて重要な課題になっている。低消費電力化を達成するにあたっては、マイクロプロセッサを設計する際に消費電力を正確に評価する必要がある。

【0003】従来では、例えば文献「Vivek Tiwari, Shad Malik, Andrew Wolfe: "Power Analysis of Embedded Software : A First Step towards Software Power Minimization", IN IEEE-94, PP. 384-390 (1994)」に記載されているように、ソフトウェアを含めたマイクロプロセッサの消費電力評価方法が知られている。

【0004】この評価方法は、実際に命令がマイクロプロセッサで実行される際に、実行される命令の種類に着目して消費電力を見積もる手法である。すなわち、マイクロプロセッサで実行されるそれぞれ異なる命令毎に予め消費電力を求めておき、マイクロプロセッサで実行されるプログラムのアセンブラ記述のレベルで、予め命令毎に求めておいた消費電力をそれぞれの命令に適用してマイクロプロセッサでプログラムが実行された際の総消費電力を見積もろうというものである。

【0005】このような手法において、マイクロプロセッサで実行されるそれぞれの命令の消費電力は、命令が実行された時の消費電力をマイクロプロセッサに接続された電力計によって求めていた。このため、命令キャッシュを使用するマイクロプロセッサにおいて、キャッシュヒット時における消費電力と、キャッシュミス時の消費電力を区別するために、両者の消費電力は同じ命令ファイルを使用して求めることができなかった。すなわち、キャッシュヒット時における消費電力と、キャッシュミス時の消費電力を求める場合には、図10に示すキャッシュミス時測定用の命令ファイル101と、図11に示すキャッシュヒット時測定用の命令ファイル102をそれぞれ個別に用意する必要があった。

【0006】このような命令ファイル101、102は、マイクロプロセッサをキャッシュミス状態あるいはキャッシュヒット状態に設定する状態設定部103と、消費電力を見積もろうとする対象命令を実行させる対象命令実行部104からなり、これらにより、消費電力の

測定時には、マイクロプロセッサをキャッシュミス状態あるいはキャッシュヒット状態にして対象命令を極めて長い間繰り返して実行させなければならなかった。このため、命令ファイルが長大で複雑となり、命令ファイルを容易に作成することができなかった。

【0007】また、シミュレーションによって命令毎の消費電力を見積もる場合においても、上述した電力計を用いて測定する実機測定の流れをくんで、図12に示すように、図10及び図11に示す命令ファイルを単に一体化した命令ファイル105を用いていたため、命令ファイルが大規模化していた。

【0008】

【発明が解決しようとする課題】以上説明したように、命令キャッシュを備えたマイクロプロセッサにおいて命令単位で消費電力を求める従来の手法にあっては、マイクロプロセッサを測定環境に設定して命令を実行させる命令ファイルが長大かつ複雑となり、作成に時間と手間がかかり、容易に作成することが困難であるという不具合を招いていた。

【0009】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、消費電力の見積もりに使用される命令ファイルを簡単に作成でき、かつ容易に命令毎の消費電力を見積もることができるマイクロプロセッサの消費電力見積もり方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、主記憶又は命令キャッシュから命令を読み出してパイプライン処理により実行するマイクロプロセッサにおいて、消費電力を見積もる一命令を複数連続して実行する命令群を少なくとも2巡繰り返して実行し、前記命令群の1巡目ならびに2巡目のそれぞれの繰り返して実行時における所定のサイクル範囲内において、前記マイクロプロセッサの1サイクル毎の消費電力を求め、前記命令群の1巡目の実行時における所定のサイクル範囲において、前記1サイクル毎の消費電力を所定のサイクル数加算して所定のサイクル数の消費電力を求め、前記命令群の1巡目の実行時における前記所定のサイクル数の消費電力ならびに前記命令群の2巡目の実行時における1サイクル毎の消費電力に基づいて、前記命令キャッシュから前記一命令を読み出して実行される場合（キャッシュヒット時）の消費電力見積もり値と、前記主記憶から前記一命令を読み出して実行する場合（キャッシュミス時）の消費電力見積もり値を求めることを特徴とする。

【0011】請求項2記載の発明は、請求項1記載の発明において、前記キャッシュヒット時の一命令当たりの消費電力見積もり値（Ph）は、前記命令群の繰り返してにおける2巡目の繰り返しの所定の1サイクルの消費電力値とし、前記キャッシュミス時の一命令当たりの消費

電力見積もり値（Pm）は、パイプラインの段数をPとし、キャッシュミス時に前記主記憶から同時に前記命令キャッシュに転送されて保持される命令数をIとし、同時に前記命令キャッシュに転送されて保持される命令I個を実行する時に発生するすべてのストール数をNとすると、 $Pm = \{1 \text{ 巡目の } (P+1) \text{ サイクル目から } (I+N) \text{ サイクルの消費電力の和} - \{(I-1) \times Ph\}$ として求めることを特徴とする。

【0012】請求項3記載の発明は、主記憶又は命令キャッシュから命令を読み出して実行するマイクロプロセッサにおいて、消費電力を見積もる一命令を少なくとも2回繰り返して実行し、前記一命令の1回目ならびに2回目の実行時における所定のサイクル範囲内において、前記マイクロプロセッサの1サイクル毎の消費電力を求め、前記一命令の1回目の実行時における所定のサイクル範囲において、前記1サイクル毎の消費電力を所定のサイクル数加算して所定のサイクル数の消費電力を求め、前記一命令の1回目の実行時における前記所定のサイクル数の消費電力ならびに前記一命令の2回目の実行時における1サイクル毎の消費電力に基づいて、前記命令キャッシュから前記一命令を読み出して実行される場合（キャッシュヒット時）の消費電力見積もり値と、前記主記憶から前記一命令を読み出して実行する場合（キャッシュミス時）の消費電力見積もり値を求めることを特徴とする。

【0013】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0014】図1ならびに図2は請求項1又は2記載の発明の一実施形態に係る消費電力見積もり方法を実施するマイクロプロセッサのパイプラインの流れを示す図である。

【0015】この実施形態において、消費電力を見積もろうとする対象命令は、図3に示すように内部に命令キャッシュ1を備え、外部にメインメモリ2を備えたマイクロプロセッサ3、又は図4に示すように外部に命令キャッシュ1及びメインメモリ2を備えたマイクロプロセッサ4において図1又は図2に示すパイプラインの流れにしたがって実行処理され、消費電力をシミュレーションするための命令ファイルは、図5に示すように、複数の連続した対象命令をジャンプ命令により繰り返して実行する1つのファイルから構成されている。なお、図5に示す命令ファイルの連続した対象命令の数は、図3又は図4に示す命令キャッシュ1に格納できる命令数の範囲内で設定される。

【0016】ここで、図3に示すマイクロプロセッサ3又は図4に示すマイクロプロセッサ4は、フェッチステージ（F）、デコードステージ（D）、演算ステージ（E）、データキャッシュアクセスステージ（M）、レジスタ書き込みステージ（W）の5段のパイプラインス

テージにより命令を実行し、1つのステージが1サイクルで終了するものとし、命令のキャッシュミス時にはメインメモリ2から4つの命令を同時に2サイクルかけて読み込むものとし、キャッシュミス時のデコードストールをDsとする。

【0017】このような構成において、ジャンプ命令によって繰り返し実行される図5に示す複数の対象命令は、1巡目の実行時に図6に示すように命令キャッシュ1には格納されておらず、メインメモリ2にすべて格納されているため、必ず4命令おきにキャッシュミスが発生する。すなわち、1巡目の実行時には、図1に示すように、まずキャッシュミスが生じ、4つの対象命令が外部のメインメモリ2から命令キャッシュ1に転送されて格納され、最初の対象命令に続く3つの対象命令は命令キャッシュ1からマイクロプロセッサに読み込まれてキャッシュヒットとなる。その後、これと同じように初めにキャッシュミスが生じ続いて3つのキャッシュヒットが発生するパターンが繰り返される。

【0018】対象命令は、キャッシュミス時には図1に示すように、フェッチステージ(F)、デコードストール(Ds)、デコードステージ(D)、演算ステージ(E)、データキャッシュアクセスステージ(M)、レジスタ書き込みステージ(W)のパイプラインの流れを進んで実行処理される。一方、キャッシュヒット時には図1に示すように、フェッチステージ(F)、デコードステージ(D)、演算ステージ(E)、データキャッシュアクセスステージ(M)、レジスタ書き込みステージ(W)のパイプラインの流れを進んで実行処理される。したがって、マイクロプロセッサは、図1に示すようなパイプラインの流れにしたがって動作することになる。

【0019】次に、図5に示す命令群の2巡目の実行時には、図7に示すように1巡目に実行された時と同じ順序で対象命令が格納されているので、すべてキャッシュヒットとなる。すなわち、2巡目の対象命令はすべてフェッチステージ(F)、デコードステージ(D)、演算ステージ(E)、データキャッシュアクセスステージ(M)、レジスタ書き込みステージ(W)の順序でパイプラインを流れて実行処理される。したがって、マイクロプロセッサは、図2に示すようなパイプラインの流れにしたがって動作することになる。

【0020】このような対象命令の実行処理において、キャッシュヒット時の消費電力を求める場合には、図2に示すパイプラインの流れにおいて、6サイクル目から9サイクル目の4(同時に外部のメインメモリ2から命令キャッシュ1に転送されて格納される命令数)サイクル分に注目して抜き出し、図2に示す斜線部分のステージを上部の破線部分に移動させると、図8に示すようになる。

【0021】図8において、キャッシュヒット時に対象

命令が実行されるために必要な、フェッチステージ(F)、デコードステージ(D)、演算ステージ(E)、データキャッシュアクセスステージ(M)、レジスタ書き込みステージ(W)の5段のステージが各サイクル毎に発生することが分かる。すなわち、注目した4サイクルでは4つの命令が実行されたことになる。言い換えれば、1サイクルで1命令が実行されたことになる。したがって、この4サイクルの期間のいずれかの1サイクルの消費電力を求めれば、求めた消費電力が、1つの対象命令が命令キャッシュ1からマイクロプロセッサに読み込まれて実行処理された時の消費電力値となる。

【0022】一方、キャッシュミス時の消費電力を求める場合には、図1に示すパイプラインの流れにおいて、5(パイプラインの段数)+1=6サイクル目から、4(キャッシュミス時にメインメモリ2から命令キャッシュ1に一度に転送される命令数)+1(同時に命令キャッシュ1に転送されて保持される命令4個を実行する時に発生するトータルのストール数)の5サイクルに注目して抜き出し、図1に示す斜線部分のステージを上部の破線部分に移動させると、図9に示すようになる。

【0023】図9において、対象命令が実行されるために必要な、フェッチステージ(F)、デコードステージ(D)、演算ステージ(E)、データキャッシュアクセスステージ(M)、レジスタ書き込みステージ(W)の5段のステージが4つと、キャッシュミス時に対象命令が実行されるために必要な、デコードストールステージ(Ds)が1つ発生することが分かる。すなわち、注目した5サイクルでは、1つのキャッシュミスと3つのキャッシュヒットが発生していることになる。

【0024】したがって、対象命令のキャッシュヒット時の消費電力は上述したようにして求められるので、注目した5サイクルのマイクロプロセッサの消費電力を求めれば、対象命令のキャッシュミス時の消費電力値は、 $\{(5 \text{ サイクルの消費電力の和}) - (\text{キャッシュヒット時の消費電力}) \times 3\}$ として求めることができる。

【0025】このような手法は、マイクロプロセッサのパイプラインの段数をP、キャッシュミス時のメインメモリから命令キャッシュに一度に転送される命令数をI、同時に命令キャッシュに転送されて保持される命令I個を実行する時に発生するトータルのストール数をNとした一般的な場合においても適用できる。

【0026】すなわち、キャッシュヒット時の消費電力は、2巡目の繰り返し実行時における(P+1)サイクル目以降の1サイクルの消費電力として求められ、キャッシュミス時の消費電力は、Iサイクル毎にキャッシュミスが発生し、キャッシュミス時のストールサイクルはNとなり、(P+1)サイクル目から(I+N)サイクルの間に対象命令のキャッシュヒットが(I-1)回発生し、かつキャッシュミスが1回発生することになるの

で、対象命令のキャッシュミス時の消費電力値は、 $\{1$ 巡目の $(P+1)$ サイクル目から $(I+N)$ サイクルの消費電力の和 $\} - \{(\text{キャッシュヒット時の消費電力}) \times I\}$ として求めることができる。

【0027】このように、図5に示す命令ファイルを実行した際のマイクロプロセッサの所定のサイクルの消費電力をシミュレーションによって求めることにより、命令単位で消費電力が求められるので、消費電力を見積もるための命令ファイルが従来に比べて簡単で規模も小さくなり、命令ファイルを作成するための手間や時間を大

幅に削減することができる。
【0028】なお、上記実施形態においては、パイプライン処理により命令を実行処理する場合について説明したが、パイプラインを使用せずに命令を実行処理する場合でも本発明は適用することが可能であり、このような場合には、1つの対象命令をジャンプ命令等の繰り返し命令により少なくとも2回繰り返して実行するようにすれば、上述したと同様に対象命令のキャッシュミス時とキャッシュヒット時の消費電力を求めることができ、上記実施形態と同様に命令ファイルを簡単にすることがで

【0029】

【発明の効果】以上説明したように、この発明によれば、消費電力を見積もる一命令を1回又は複数回連続して実行する命令群を繰り返して実行し、所定のサイクルの消費電力から命令キャッシュミス時と命令キャッシュヒット時の一命令の消費電力を求めるようにしたので、消費電力を求める命令ファイルを簡単で小さくすることが可能となり、命令ファイルを作成するための手間や時間が削減され、容易に命令ファイルを作成することがで

きる。

【図面の簡単な説明】

【図1】請求項1又は2記載の発明の一実施形態に係わるマイクロプロセッサのパイプライン処理の流れを示す図である。

【図2】請求項1又は2記載の発明の一実施形態に係わるマイクロプロセッサのパイプライン処理の流れを示す図である。

【図3】請求項1又は2記載の発明の一実施形態に係わるマイクロプロセッサの構成を示す図である。

【図4】請求項1又は2記載の発明の一実施形態に係わるマイクロプロセッサの他の構成を示す図である。

【図5】命令ファイルの構成を示す図である。

【図6】命令キャッシュの内部状態を示す図である。

【図7】命令キャッシュの内部状態を示す図である。

【図8】図2に示すパイプライン処理の流れの一部を抜粋して変形したものを示す図である。

【図9】図1に示すパイプライン処理の流れの一部を抜粋して変形したものを示す図である。

【図10】命令キャッシュミス用の従来の命令ファイルの構成を示す図である。

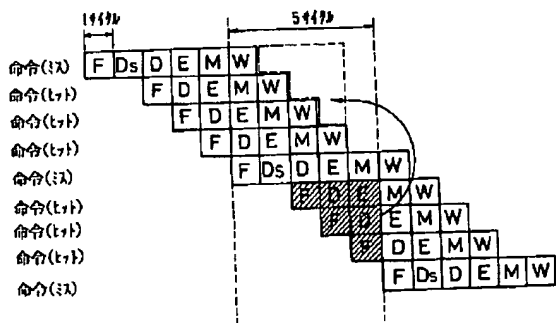
【図11】命令キャッシュヒット用の従来の命令ファイルの構成を示す図である。

【図12】命令キャッシュミス用と命令キャッシュヒット用の命令ファイルが一体化された従来の命令ファイルの構成を示す図である。

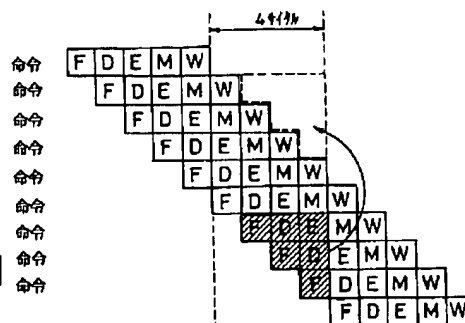
【符号の説明】

- 1 命令キャッシュ
- 2 メインメモリ
- 3, 4 マイクロプロセッサ

【図1】



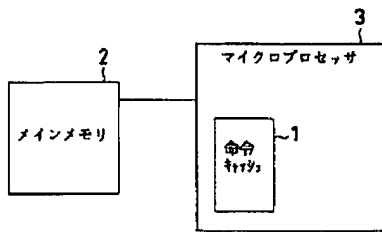
【図2】



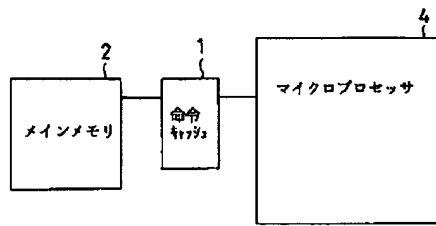
【図8】



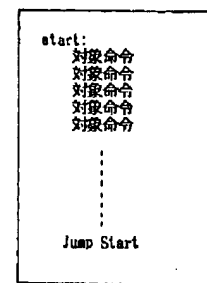
【図3】



【図4】



【図5】



【図6】

null	null	null	null
null	null	null	null
null	null	null	null
null	null	null	null
⋮	⋮	⋮	⋮

【図7】

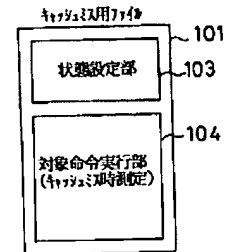
Start	対象命令	対象命令	対象命令
対象命令	対象命令	対象命令	対象命令
対象命令	対象命令	対象命令	対象命令
対象命令	対象命令	対象命令	対象命令
⋮	⋮	⋮	⋮
Jump	⋮	⋮	⋮

【図9】

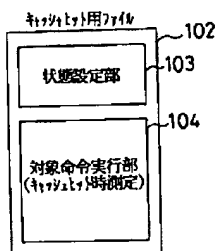
W	F	D	E
M	W	F	D
E	M	W	F
D	E	M	W
F	D	S	D

$\left. \begin{matrix} F, D, E, M, W \\ Ds \end{matrix} \right\} \begin{matrix} 27-9 \\ 27-9 \end{matrix}$
 $\left. \begin{matrix} 27-4 \\ 27-4 \end{matrix} \right\} \begin{matrix} 命令 \\ 命令 \end{matrix}$

【図10】



【図11】



【図12】

